

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04441044    \*\*Image available\*\*

THIN FILM TRANSISTOR

PUB. NO.:      06-084944 [JP 6084944 A]

PUBLISHED:    March 25, 1994 (19940325)

INVENTOR(s):  UEDA TORU

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:    04-232466 [JP 92232466]

FILED:        August 31, 1992 (19920831)

INTL CLASS:   [5] H01L-021/336; H01L-029/784; G02F-001/136; H01L-021/20;  
H01L-021/265; H01L-021/324

JAPIO CLASS:  42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION  
INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:      Section: E, Section No. 1568, Vol. 18, No. 336, Pg. 88, June  
24, 1994 (19940624)

#### ABSTRACT

PURPOSE: To improve a quality of a polycrystalline silicon film, to provide excellent characteristics having a small OFF current and a large ON current, and to provide excellent uniformity in the characteristics.

CONSTITUTION: When an amorphous silicon layer 2 is heat treated and then crystallized, a polycrystalline silicon layer 3' in which crystalline grain size is increased is obtained. Further, when it is heat treated in an oxidative atmosphere, defects remaining in the layer 3' are reduced. Thus, a semiconductor layer 3 made of polycrystalline silicon having excellent film quality is formed to increase an ON current. In addition, when boron is used as an impurity to be implanted in the layer 3, since the boron is light, it is ion implanted in a state having a smooth distribution in a depth direction. Thus, concentrations of low concentration density regions 9a, 9b become uniform to provide uniformity in the characteristics.

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

009859202      \*\*Image available\*\*

WPI Acc No: 1994-139059/199417

XRAM Acc No: C94-064203

XRPX Acc No: N94-109312

Thin film transistor - has large crystal size and small defects, to give increased on current and small off current, with uniform characteristics

NoAbstract

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6084944	A	19940325	JP 92232466	A	19920831	199417 B

Priority Applications (No Type Date): JP 92232466 A 19920831

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6084944	A	5	H01L-021/336	

Abstract (Basic): JP 6084944 A

Dwg.1/4

Title Terms: THIN; FILM; TRANSISTOR; CRYSTAL; SIZE; DEFECT; INCREASE;  
CURRENT; CURRENT; UNIFORM; CHARACTERISTIC; NOABSTRACT

Derwent Class: L03; P81; U12; U14

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): G02F-001/136; H01L-021/20;

H01L-021/265; H01L-021/324; H01L-029/784

File Segment: CPI; EPI; EngPI

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-84944

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/336

29/784

G 0 2 F 1/136

5 0 0

9018-2K

9056-4M

8617-4M

H 0 1 L 29/ 78

3 1 1 Y

21/ 265

A

審査請求 未請求 請求項の数1(全 5 頁) 最終頁に続く

(21)出願番号

特願平4-232466

(22)出願日

平成4年(1992)8月31日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 上田 徹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

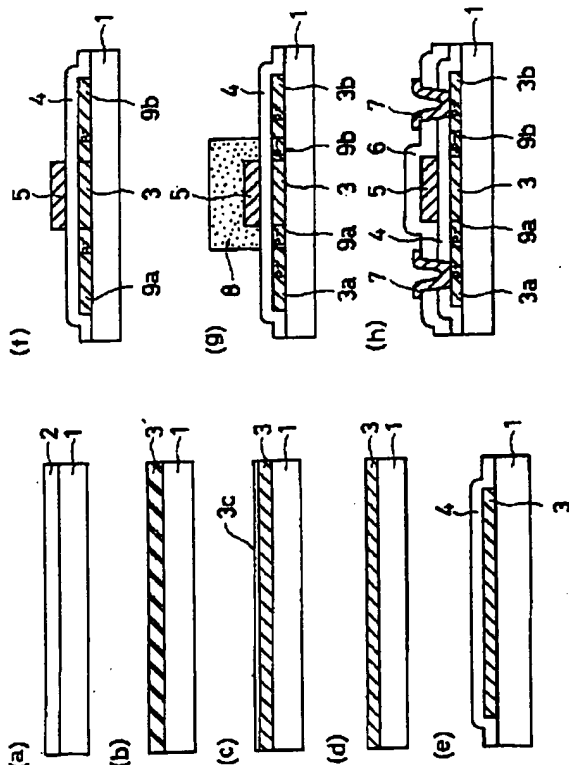
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【目的】 多結晶シリコンの膜質を向上させ、オフ電流が小さく、かつオン電流が大きい良好な特性を有し、しかもその特性が均一性に優れたものとする。

【構成】 非晶質シリコン層2を熱処理して結晶化させると、これによって結晶粒径が拡大した多結晶シリコン層3'が得られる。更に酸化性雰囲気中で熱処理すると、多結晶シリコン層3'の中に残存する欠陥が低減される。これにより、膜質に優れた多結晶シリコンからなる半導体層3が形成されてオン電流が増大する。また、半導体層3に注入する不純物としてほう素を用いると、ほう素が軽いために、深さ方向になだらかな分布を有する状態でイオン注入される。これにより低濃度不純物領域9a、9bの濃度が均一となり、特性が均一性をもつようになる。



## 【特許請求の範囲】

【請求項1】 絶縁性基板上に、一部を除いて不純物を注入してなるLDD構造の半導体層が形成された薄膜トランジスタにおいて、

該半導体層が、非晶質シリコンに第1の熱処理を行って非晶質シリコンを結晶化させた後、酸化性雰囲気中で第1の熱処理温度より高い温度で第2の熱処理を行って形成された多結晶シリコンからなり、かつ、不純物にほう素を使用して形成されている薄膜トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示装置の液晶電極を駆動するスイッチング素子として用いられる多結晶シリコンからなる薄膜トランジスタに関する。

## 【0002】

【従来の技術】 上述した液晶表示装置に使用される薄膜トランジスタには、以下の2つの特性が要求される。その1つとしては、短時間に絵素電極へ電荷を充電する必要があるためオン電流が大きいことである。もう1つとしては、薄膜トランジスタを介して一旦充電した電荷を保持すべくオフ電流が小さいことである。

【0003】 このような特性を満足する薄膜トランジスタ(TFT)としては、移動度の高い電子をキャリアとしたLDD型のNMOS-TFTが知られている(A High-Resolution 0.7-in.-Diagonal TFT-LCD(T. Maekawa, et al. SID 92 DIGEST, P. 55, 1992) )。また、このLDD型のNMOS-TFTの作製方法としては、以下の方法が知られている(Conduction Mechanism of Leakage Current Observed in Metal-Oxide-Semiconductor Transistors and Poly-Si Thin-Film Transistors(M. Yazaki et al., Jpn. J. of Appl. Phys. Vol. 31(1992)pp. 206-209) )。

【0004】 即ち、図4に示すように、石英基板11の上にLPCVD法により多結晶シリコンを1000オングストローム堆積する。次に、TFT形成領域を残して多結晶シリコンをパターニングして半導体層13を得た後、1150℃のO<sub>2</sub>雰囲気中で酸化し、続いて半導体層13の上に1200オングストロームのゲート絶縁膜14を形成する。

【0005】 次に、ゲート絶縁膜14の上にドーパド多結晶シリコンを用いてゲート電極15を形成した後、このゲート電極15をマスクとして半導体層13にP(リン)を以下の条件でイオン注入して、低濃度不純物領域19a、19b及び高濃度不純物領域13a、13bを各々形成する。このとき、高濃度不純物領域13a、13bは、加速電圧を100KeV、ドーズ量を $5 \times 10^{15} \text{ cm}^{-2}$ とし、低濃度不純物領域19a、19bは、100KeV(加速電圧)、ドーズ量を $2 \times 10^{13} \text{ cm}^{-2}$ とした。

【0006】 次に、1000℃で熱処理を30分間施して、注入不純物の活性化を行う。

【0007】 このようにして作製されるLDD型のNMOS-TFTは、上述したように移動度の高い電子をキャリアとしている。なお、LDD型のNMOS-TFTを採用した理由としては、従来においては多結晶シリコンにダングリングボンドのような欠陥が多く存在して膜質が余り良くないので、キャリアとしてホールに比べ電子を用いる方が本質的に移動度を高くできて都合がよいからである。

## 【0008】

【発明が解決しようとする課題】 ところで、LDD型のNMOS-TFTの場合は、一般には上述したPの他にAsなどの不純物をイオン注入することにより作製されるが、深さ方向の不純物濃度分布が急峻となり、また多結晶シリコン膜厚等のバラツキに敏感に影響されるため、TFT特性を左右する低濃度不純物領域の濃度を制御するのが困難であった。その結果、低濃度不純物領域の濃度にバラツキが生じ、オフ電流を小さく、かつオン電流を大きくすることが困難であり、またオフ電流やオン電流のバラツキが大きいものとなっていた。また、LDD型のNMOS-TFTを使用して液晶表示装置を製造する場合、表示品質に優れた液晶表示装置を得るのが困難であるという問題があった。

【0009】 本発明は、このような従来技術の課題を解決すべくなされたものであり、多結晶シリコンの膜質を向上させ、オフ電流が小さく、かつオン電流が大きい良好な特性を有し、しかもその特性が均一性に優れたLDD型の薄膜トランジスタを形成することを目的とする。

## 【0010】

【課題を解決するための手段】 本発明の薄膜トランジスタは、絶縁性基板上に、一部を除いて不純物を注入してなるLDD構造の半導体層が形成された薄膜トランジスタにおいて、該半導体層が、非晶質シリコンに第1の熱処理を行って非晶質シリコンを結晶化させた後、酸化性雰囲気中で第1の熱処理温度より高い温度で第2の熱処理を行って形成された多結晶シリコンからなり、かつ、不純物にほう素を使用して形成されており、そのことにより上記目的が達成される。

## 【0011】

【作用】 非晶質シリコンを熱処理して結晶化させると、これによって結晶粒径が拡大する。更に酸化性雰囲気中で熱処理すると、多結晶シリコン中に残存する欠陥が低減される。これにより、膜質に優れた多結晶シリコンが形成されてオン電流が増大する。

【0012】 また、不純物としてほう素を用いると、そのほう素が軽いために、深さ方向になだらかな分布を有する状態でイオン注入される。これにより半導体層の不純物領域の濃度が均一となり、特性が均一性をもつようになる。

## 【0013】

【実施例】 以下に本発明の実施例を具体的に説明する。

【0014】図1(h)に本実施例の薄膜トランジスタを示す。この薄膜トランジスタは、絶縁性基板としての石英基板1の上に形成された多結晶シリコンからなる半導体層3を有する。この半導体層3は、当初、非晶質シリコンからなり、その非晶質シリコンに第1の熱処理を行って非晶質シリコンを結晶化した後、酸化性雰囲気中で第1の熱処理温度より高い温度で第2の熱処理を行って多結晶シリコンとされている。

【0015】この半導体層3は、5つの領域に区分されている。両方の最外領域にはP型の不純物であるほう素を高濃度で含有したソース拡散領域3a及びドレイン拡散領域3bが形成され、該ソース拡散領域3aに隣接して同様のほう素を低濃度で含有したP型の低濃度不純物領域9aが、ドレイン拡散領域3bに隣接してほう素を低濃度で含有したP型の低濃度不純物領域9bが形成されている。中央の領域は不純物の注入のない多結晶シリコンのままとなっている。つまり、この半導体層3は、LDD構造に形成されている。

【0016】上記半導体層3を覆って基板1のほぼ全面にゲート絶縁膜4が形成され、ゲート絶縁膜4の上には、半導体層3の中央領域である多結晶シリコンのままの部分の上方部分にゲート電極5が形成されている。このゲート電極5を覆って上記ゲート絶縁膜4の上には、ほぼ全面に層間絶縁膜6が形成されている。上記ソース拡散領域3a及びドレイン拡散領域3bの上には、層間絶縁膜6とゲート絶縁膜4とを貫通してコンタクトホールが形成され、このコンタクトホールに一部を充填してAl配線7、7が形成されている。

【0017】この構成の薄膜トランジスタは、以下のようにして作製される。

【0018】まず、図1(a)に示すように、石英基板1の上に、例えばLPCVD法により、非晶質シリコン層2を1100オングストローム堆積する。

【0019】次に、その非晶質シリコン層2が形成された石英基板1を、温度が600℃のN<sub>2</sub>雰囲気中で24時間、第1の熱処理を行って結晶化させる。これにより、図1(b)に示すように非晶質シリコン層2は多結晶シリコン層3'となる。このとき、結晶粒径は3~5μmまで拡大させる。この第1の熱処理の段階では、多結晶シリコン層3'にはまだ多数の欠陥が存在する。

【0020】次に、石英基板1を、温度が1050℃のO<sub>2</sub>雰囲気中で第2の熱処理を行って、図1(c)に示すように多結晶シリコン層3'を酸化させ、酸化膜3cを700オングストロームの厚みに形成する。これにより、半導体層3が得られ、半導体層3の中に存在する欠陥が低減される。なお、この第2の熱処理ではO<sub>2</sub>雰囲気中で行っているが、他の酸化性雰囲気中、例えばN<sub>2</sub>Oのような酸化性雰囲気中で熱処理してもよい。このようにO<sub>2</sub>やN<sub>2</sub>Oのような酸化性雰囲気中で熱処理した場合には、N<sub>2</sub>等の不活性ガス中で行うより、欠陥の低減

効率を高くできる利点がある。

【0021】次に、図1(d)に示すように、生成した酸化膜3cを除去する。続いて、図1(e)に示すように薄膜トランジスタ形成領域を残して半導体層3をエッチングし、その半導体層3の上に、CVD法でSiO<sub>2</sub>膜を850オングストローム堆積してゲート絶縁膜4を形成する。

【0022】次に、図1(f)に示すように、ゲート絶縁膜4の上に、Pドーパド多結晶シリコンからなるゲート電極5を4500オングストロームの厚みに形成する。続いて、ゲート電極5をマスクとして、ゲート電極5の上方から半導体層3に、加速電圧を30KeV、ドーズ量を $5 \times 10^{12} \text{cm}^{-2}$ としてほう素をイオン注入し、低濃度不純物領域9a、9bを形成する。

【0023】次に、図1(g)に示すように、ゲート電極5と低濃度不純物領域9a、9bとを覆うフォトリジスト8を形成し、このフォトリジスト8をマスクとして半導体層3に、加速電圧を30KeV、ドーズ量を $1 \times 10^{15} \text{cm}^{-2}$ として、ほう素をイオン注入し、不純物を高濃度に含むソース拡散領域3a及びドレイン拡散領域3bを形成する。

【0024】次に、図1(h)に示すように、フォトリジスト8を除去した後、ゲート電極5を覆ってゲート絶縁膜4の上に、CVD法でSiO<sub>2</sub>膜を6000オングストローム堆積し、層間絶縁膜6を形成する。

【0025】次に、石英基板1を、温度が950℃のN<sub>2</sub>雰囲気中で30分間、熱処理を施して、半導体層3に注入したほう素を活性化させる。

【0026】次に、コンタクトホール7a、7aを開孔し、その後、コンタクトホール7a、7aに一部充填してAl配線7、7を形成する。

【0027】このようにして作製された薄膜トランジスタにおいては、最終的に半導体層3となる非晶質シリコン層2を第1の熱処理により結晶化させると、これによって結晶粒径が拡大した多結晶シリコン層3'が得られる。更に酸化性雰囲気中で第2の熱処理を行うと、多結晶シリコン層3'の中に残存する欠陥が低減される。これにより、膜質に優れた多結晶シリコンからなる半導体層3が形成されてオン電流が増大する。また、不純物としてほう素を用いると、そのほう素が軽いために、深さ方向になだらかな分布を有する状態でイオン注入される。これにより特性を左右する低濃度不純物領域9a、9bの濃度が均一となり、特性が均一性をもつようになる。

【0028】表1は、上述のように作製されたLDD型のPMOS-TFTの特性を、不純物をほう素からPに代えて作製したLDD型のNMOS-TFTの特性と併せて示している。

【0029】

【表1】

	$I_{on}$ 平均	標準偏差( $\sigma$ )	$I_{off}$ 平均	標準偏差( $\sigma$ )
PMOS	82nA	5.3nA	0.16pA	0.02pA
NMOS	76nA	20nA	0.17pA	0.04pA

【0030】この表1より理解されるように、本発明のLDD型のPMOS-TFTの場合には、LDD型のNMOS-TFTに比べて $I_{on}$ （オン電流）も $I_{off}$ （オフ電流）も共に標準偏差( $\sigma$ )が小さく、均一性が著しくよくなっている。

【0031】上記実施例ではゲート電極5で覆われていない部分に低濃度不純物領域9a、9bを形成しているが、本発明はこれに限らず、図2に示すようにゲート電極5の下に低濃度不純物領域9a、9bを形成してもよい。この場合の製造は、以下のように行われる。まず、半導体層3を有する基板1の上にゲート絶縁膜4を形成する。次に、ゲート絶縁膜4の上に、破線で示すフォトレジスト8'を形成し、このフォトレジスト8'をマスクとして、上記実施例と同じ条件でほう素を半導体層3にイオン注入し、低濃度不純物領域9a、9bを形成する。次に、フォトレジスト8'を除去した後、ゲート絶縁膜4の上にゲート電極5を形成し、このゲート電極5をマスクとして、上記実施例と同じ条件でほう素を半導体層3にイオン注入し、不純物を高濃度に含むソース拡散領域3a及びドレイン拡散領域3bを形成する。それ以降は、前同様に進行。

【0032】上記説明ではゲート電極5が半導体層3の上に位置する構造について述べたが、本発明はこれに限らず、図3に示すようにゲート電極5が半導体層3の下に位置するような逆の構造でも同様に適用でき、同様の効果が得られる。

【0033】

【発明の効果】上述したように本発明による場合には、結晶粒径が大きく、欠陥が少ない高品質の多結晶シリコンからなる半導体層を形成することができる。これにより、オン電流が増大することになる。また、オフ電流低

減の為にLDD型構造とするが、軽いほう素をLDD構造の半導体層の所定領域へイオン注入することによって、その領域における不純物濃度の制御性を向上できる。よって、良好な特性を有し、また均一性に優れた薄膜トランジスタが得られ、表示品位のよい液晶表示装置を実現できる。更には、従来においてはNMOS-TFTに比べて移動度が小さく、液晶表示装置のスイッチング素子として実用化されなかったPMOS-TFTの特性を実用レベルまで向上できるという優れた効果を有する。

【図面の簡単な説明】

【図1】本実施例の薄膜トランジスタの製造工程図（正面断面図）である。

【図2】他の実施例にかかる薄膜トランジスタの構造を示す正面断面図である。

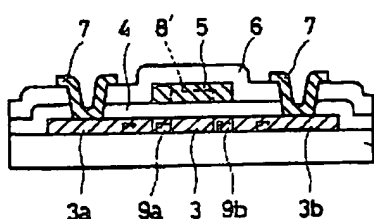
【図3】更に他の実施例にかかる薄膜トランジスタの構造を示す正面断面図である。

【図4】従来の薄膜トランジスタの構造を示す正面断面図である。

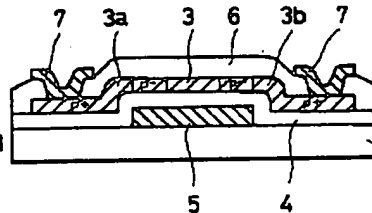
【符号の説明】

- 1 石英基板
- 2 非晶質シリコン層
- 3' 多結晶シリコン層
- 3 半導体層
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 層間絶縁膜
- 7a コンタクトホール
- 7 Al配線
- 8 フォトレジスト
- 8' フォトレジスト

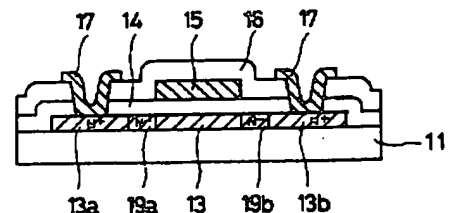
【図2】



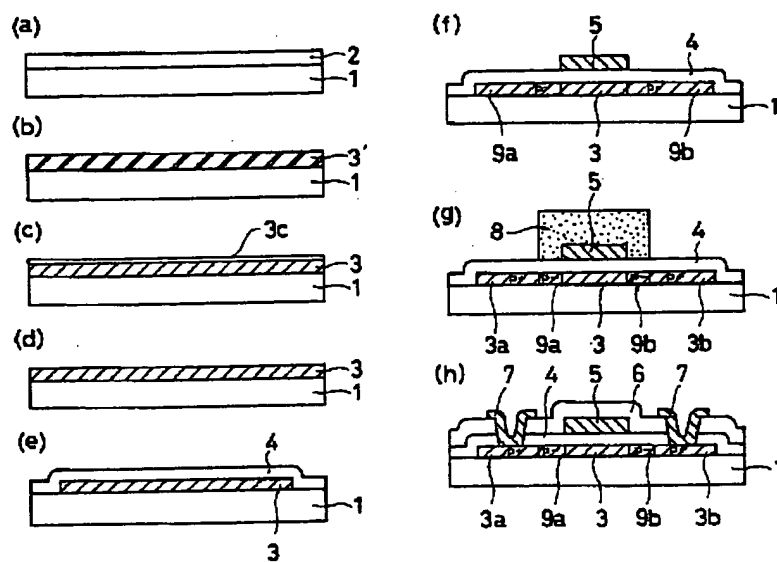
【図3】



【図4】



【図1】



フロントページの続き

(51) Int. Cl. 5

H01L 21/20

21/265

21/324

識別記号

庁内整理番号

9171 -4M

Z 8617 -4M

9056 -4M

F I

技術表示箇所

H01L 29/78

311 S